



#3

Docket No.: INF-P10391

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nollf Date: Feb. 28, 2001

H. Coe
4-30-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

7 priority papers

Inventor : Peter Pöchmüller
Applic. No. : 09/718,937
Filed : November 22, 2000
Title : Integrated Memory Having Memory Cells and Reference Cells

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 199 56 069.2, filed November 22, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf
For Applicant

MARKUS NOLFF
REG. NO. 37,006

Date: February 28, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/sc

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 199 56 069.2

Anmeldetag: 22. November 1999

Anmelder/Inhaber: Infineon Technologies AG, München/DE

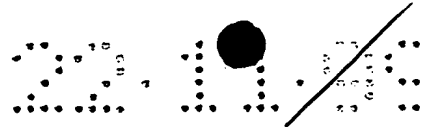
Bezeichnung: Integrierter Speicher mit Speicherzellen und Referenzzellen

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 7. Februar 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Joost



4

Zusammenfassung

Integrierter Speicher mit Speicherzellen und Referenzzellen

- 5 Der integrierte Speicher weist Referenzwortleitungen (WLREF, /WLREF), Wortleitungen (WLi) und redundante Wortleitungen (RWL1, RWL2) auf. Er hat eine programmierbare Aktivierungseinheit (AKT), von deren Programmierzustand abhängt, ob die redundante Wortleitung (RWL1, RWL2) mit den daran angeschlossenen redundanten Speicherzellen (RC) während des Betriebs des Speichers eine der Wortleitungen (WLi) mit den daran angeschlossenen Speicherzellen (MC) oder die Referenzwortleitung (WLREF, /WLREF) mit den daran angeschlossenen Referenzzellen (CREF) ersetzt.

15

Figur 1

Beschreibung

Integrierter Speicher mit Speicherzellen und Referenzzellen

- 5 Die Erfindung betrifft einen integrierten Speicher mit Speicherzellen und Referenzzellen.

Ein derartiger integrierter Speicher in Form eines FRAMs (Ferroelectric Random Access Memory) ist in der
10 US 5,844,832 A beschrieben. Die Referenzzellen dienen zur Erzeugung eines Referenzpotentials auf Bitleitungen des Speichers, bevor ein Zugriff auf eine der Speicherzellen erfolgt. Eine Auswahl der Speicherzellen erfolgt über mit ihnen verbundene Wortleitungen, während eine Auswahl der Referenzzellen
15 über mit diesen verbundene Referenzwortleitungen erfolgt.

Allgemein bekannt ist es, bei integrierten Speichern zur Reparatur von Defekten redundante Speicherzellen vorzusehen, die mit redundanten Wortleitungen verbunden sind. Durch Programmierung einer entsprechenden Logik kann erreicht werden,
20 daß während des Betriebs des Speichers die redundante Wortleitung mit den daran angeschlossenen redundanten Speicherzellen eine der normalen Wortleitungen mit den daran angeschlossenen Speicherzellen adressenmäßig ersetzt.

25 Der Erfindung liegt die Aufgabe zugrunde, einen integrierten Speicher anzugeben, der sowohl normale Speicherzellen als auch Referenzzellen aufweist und bei dem eine Reparatur von Defekten mittels redundanter Speicherzellen durchführbar ist,
30 wobei für die redundanten Elemente möglichst wenig Platz aufgewendet werden soll.

Diese Aufgabe wird mit einem integrierten Speicher gemäß Anspruch 1 gelöst. Eine vorteilhafte Weiterbildung der Erfindung ist Gegenstand des abhängigen Anspruchs.
35

Beim erfindungsgemäßen integrierten Speicher sind redundante Speicherzellen vorhanden, die in Kreuzungspunkten einer redundanten Wortleitung und Bitleitungen des Speichers angeordnet sind. Weiterhin weist der Speicher eine programmierbare Aktivierungseinheit auf, von deren Programmierzustand abhängt, ob die redundante Wortleitung mit den daran angeschlossenen redundanten Speicherzelle während des Betriebs des Speichers eine der Wortleitungen mit den daran angeschlossenen Speicherzellen oder die Referenzwortleitung mit den daran angeschlossenen Referenzzellen ersetzt.

Während bei herkömmlicher Wortleitungsredundanz eine redundante Wortleitung lediglich zum adressenmäßigen Ersetzen einer der normalen Wortleitungen programmiert werden kann, besteht beim erfindungsgemäßen integrierten Speicher die Wahlmöglichkeit, ob die redundante Wortleitung zu diesem Zweck oder aber zum Ersetzen einer der Referenzwortleitungen eingesetzt werden soll. Somit sind dank der Erfindung mit einer redundanten Wortleitung und den daran angeschlossenen redundanten Speicherzellen sowohl Defekte von normalen Speicherzellen als auch Defekte von Referenzzellen beziehungsweise Defekte auf den mit diesen verbundenen normalen Wortleitungen beziehungsweise Referenzwortleitungen reparierbar. Dies bedeutet eine deutlich höhere Flexibilität beim Einsatz der Wortleitungsredundanz. Wollte man dagegen separate redundante Wortleitungen zum einen für die Reparatur von Defekten der normalen Wortleitungen und zum anderen zur Reparatur von Defekten einer der Referenzwortleitungen vorsehen, müßte der integrierte Speicher eine größere Anzahl von redundanten Wortleitungen aufweisen, als der erfindungsgemäße Speicher. Die Erfindung beruht nämlich auf der Erkenntnis, daß ein Speicher zwar eine große Anzahl von normalen Wortleitungen, jedoch nur eine äußerst geringe Anzahl, nämlich beispielsweise ein oder zwei, Referenzwortleitungen pro Speicherblock aufweist. Die Wahrscheinlichkeit, daß eine der Referenzwortleitungen einen Defekt aufweist, ist daher viel geringer, als daß ein Defekt einer der normalen Wortleitungen auftritt. Da-

her wäre das Vorsehen separater redundanter Wortleitungen zur Reparatur der normalen Wortleitungen einerseits und zur Reparatur der Referenzwortleitungen andererseits uneffektiv.

Durch das Vorsehen einer gemeinsamen redundanten Wortleitung zur wahlweisen Reparatur von einer der normalen Wortleitungen oder einer der Referenzwortleitungen kann daher bei der Erfindung die Anzahl der redundanten Wortleitungen relativ gering gehalten werden, so daß deren Platzbedarf ebenfalls gering ist.

Nach einer Weiterbildung der Erfindung weist die Aktivierungseinheit des integrierten Speichers eine erste Teileinheit auf, die der Unterscheidung dient, ob die redundante Wortleitung während des Betriebs des Speichers eine der Wortleitungen oder die Referenzwortleitung ersetzt. Weiterhin weist die Aktivierungseinheit eine zweite Teileinheit auf, die den Zeitpunkt der Aktivierung der redundanten Wortleitung durch die Aktivierungseinheit bestimmt. Zu diesem Zweck aktiviert die zweite Teileinheit bei einem Zugriff auf eine der Speicherzellen im Falle des Ersetzens der Referenzwortleitung durch die redundante Wortleitung diese zur Erzeugung der Referenzpotentials, bevor eine Aktivierung einer der Wortleitungen erfolgt. Im Falle des Ersetzens einer der Wortleitungen durch die redundante Wortleitung aktiviert die zweite Teileinheit diese erst, nachdem eine Aktivierung der Referenzwortleitung zur Erzeugung des Referenzpotentials erfolgt ist.

Die Erfindung wird im folgenden anhand von in den Figuren dargestellten Ausführungsbeispielen des integrierten Speichers näher erläutert. Es zeigen:

Figur 1 das Zellenfeld eines erfindungsgemäßen integrierten Speichers,

Figur 2 eine Aktivierungseinheit des Speichers aus Figur 1 und

Figur 3 Potentialverläufe zum Speicher aus Figur 1.

Figur 1 zeigt Speicherzellen MC des integrierten Speichers, die in Kreuzungspunkten von Bitleitungen BL_i , $/BL_i$ mit Wortleitungen WL_i angeordnet sind. Der Speicher weist eine Vielzahl der Wortleitungen WL_i auf, von denen in Figur 1 jedoch nur drei dargestellt wurden. Außerdem weist der Speicher eine Vielzahl der Bitleitungen auf, von denen in der Figur 1 lediglich zwei Bitleitungspaare dargestellt wurden. Jedes Bitleitungspaar ist mit einem Leseverstärker SA verbunden, der zum Verstärken von auf dem Bitleitungspaar auftretenden Differenzsignalen dient. Die beiden Bitleitungen jedes Bitleitungspaares BL_1 , $/BL_1$; BL_2 , $/BL_2$ sind über einen Kurzschlußtransistor SH miteinander verbunden. Das Gate des Kurzschlußtransistors SH ist mit einem Kurzschlußsignal EQ verbunden.

Der Speicher in Figur 1 weist weiterhin Referenzzellen CREF auf, die in Kreuzungspunkten der Bitleitungen BL_i , $/BL_i$ mit Referenzwortleitungen WL_{REF} , $/WL_{REF}$ angeordnet sind. Die Referenzzellen CREF dienen zur Erzeugung eines Referenzpotentials auf den Bitleitungen, wie weiter unten noch erläutert wird. Der Speicher weist außerdem redundante Speicherzellen RC auf, die in Kreuzungspunkten der Bitleitungen BL_i , $/BL_i$ mit redundanten Wortleitungen RWL_1 , RWL_2 angeordnet sind.

Der Aufbau der Speicherzellen MC, der Referenzzellen CREF und der redundanten Speicherzellen RC ist jeweils identisch. In Figur 1 wurden lediglich zwei der Referenzzellen CREF explizit dargestellt, wohingegen die restlichen Referenzzellen CREF, die Speicherzellen MC und die redundanten Speicherzellen RC lediglich durch Quadrate an den jeweiligen Kreuzungspunkten im Speicherzellenfeld angedeutet wurden. Jede der Zellen weist einen Auswahltransistor T und einen Speicherkondensator C auf. Es handelt sich um Speicherkondensatoren C mit ferroelektrischem Dielektrikum. Der Speicher ist ein ferroelektrischer Speicher vom Typ FRAM. Die eine Elektrode des

Speicherkondensators C ist über die steuerbare Strecke des Auswahltransistors T mit der zugehörigen Bitleitung BLi; /BLi verbunden. Die andere Elektrode des Speicherkondensators C ist mit einem Plattenpotential VP verbunden. Das Gate des Auswahltransistors T ist mit der zugehörigen Wortleitung WLi beziehungsweise Referenzwortleitung WLREF, /WLREF beziehungsweise redundanten Wortleitung RWL1, RWL2 verbunden.

Die Wortleitungen WLi sind mit Ausgängen eines Zeilendecoders RDEC verbunden. Die Referenzwortleitungen WLREF, /WLREF sind mit Ausgängen einer Steuerschaltung CTR verbunden. Die redundanten Wortleitungen RWL1, RWL2 sind mit Ausgängen einer Aktivierungseinheit AKT verbunden. Der Aktivierungseinheit AKT und dem Zeilendecoder RDEC werden eingangsseitig Zeilenadressen RADR zugeführt.

Im folgenden wird anhand Figur 3 die Funktionsweise der in Figur 1 gezeigten Schaltung für den Fall erläutert, daß kein Defekt einer der Speicherzellen MC oder Referenzzellen CREF aufgetreten ist, so daß eine Aktivierung einer der redundanten Wortleitungen RWL1, RWL2 durch die Aktivierungseinheit AKT unterbleibt. Es wird beispielhaft ein Zugriff auf diejenige Speicherzelle MC erläutert, die sich im Kreuzungspunkt der Wortleitung WLi mit der Bitleitung BLi befindet. Zunächst werden die beiden Bitleitungen BLi, /BLi auf Masse entladen. Zuvor wurde bereits in der mit der Bitleitung BLi verbundenen Referenzzelle CREF eine logische "1" und in der mit der Bitleitung /BLi verbundenen Referenzzelle CREF eine logische "0" gespeichert. Sobald die beiden Referenzwortleitungen WLREF, /WLREF einen hohen Pegel annehmen, wird der Inhalt aus den beiden Referenzzellen CREF, die mit dem ersten Bitleitungspaar BLi, /BLi verbunden sind, auf die beiden Bitleitungen ausgelesen. Nachdem die beiden Referenzwortleitungen wieder einen niedrigen Pegel angenommen haben, erfolgt ein Kurzschließen der beiden Bitleitungen BLi, /BLi mittels eines hohen Pegels des Kurzschlußsignals EQ am Gate des Kurzschlußtransistors SH. Hierdurch stellt sich das gewünschte Refe-

renzpotaential VREF, das einem Mittelwert der zuvor auf den beiden Bitleitungen BL1, /BL1 befindlichen Potentiale entspricht, auf beiden Bitleitungen ein.

- 5 Nachdem der Kurzschlußtransistor SH wieder gesperrt worden ist, indem das Kurzschlußsignal EQ einen niedrigen Pegel annimmt, wird die erste Wortleitung WL1 in Abhängigkeit einer am Zeilendecoder RDEC anliegenden Zeilenadresse RADR auf einen hohen Pegel gebracht, wodurch unter anderem der Auswahltransistor T der auszulesenden Speicherzelle MC im Kreuzungspunkt mit der ersten Bitleitung BL1 leitend geschaltet wird. Bei der Darstellung in Figur 3 wurde angenommen, daß in dieser Speicherzelle MC eine logische "1" gespeichert ist. Hierdurch erhöht sich das Potential auf der ersten Bitleitung BL1
10 gegenüber dem Referenzpotential VREF, das zunächst noch auf der zweiten Bitleitung /BL1 beibehalten wird. Anschließend wird zu einem Zeitpunkt t_{SA} der Leseverstärker SA, der bis dahin deaktiviert war, aktiviert, so daß er das Differenzsignal auf dem Bitleitungspaar BL1, /BL1 auf volle Versorgungspegel VDD, Masse verstärkt.
15
20

Figur 3 ist zu entnehmen, daß bei jedem Lesezugriff auf eine der Speicherzellen MC zunächst die beiden Referenzwortleitungen WLREF, /WLREF aktiviert werden müssen, um das Referenzpotential VREF zu erzeugen, bevor die mit der Speicherzelle MC verbundene Wortleitung WLi aktiviert wird.
25

- Die in Figur 1 eingezeichneten redundanten Wortleitungen RWL1, RWL2 mit den daran angeschlossenen redundanten Speicherzellen RC dienen im Redundanzfall jeweils zum wahlweisen Ersetzen einer der Wortleitungen WLi mit den daran angeschlossenen Speicherzellen MC oder dem Ersetzen einer der Referenzwortleitungen WLREF, /WLREF mit den daran angeschlossenen Referenzzellen CREF. Dabei kann die erste redundante
30 Wortleitung RWL1 lediglich derartige Wortleitungen WL1, WL3 oder Referenzwortleitungen WLREF ersetzen, deren Speicherzellen in Kreuzungspunkten mit den Bitleitungen BL1, BL2 ange-
35



M

7

ordnet sind. Die zweite redundante Wortleitung RWL2 dient dagegen zum Ersetzen defekter Wortleitungen WL2 bzw. defekter Referenzwortleitungen /WLREF, deren Speicherzellen in Kreuzungspunkten mit den Bitleitungen /BL1, /BL2 angeordnet sind.

5

Wird eine der Wortleitungen WLi durch eine der redundanten Wortleitungen RWL1, RWL2 „repariert“, ersetzt letztere diese adressenmäßig. Das heißt, bei Anlegen der entsprechenden Zeilenadresse RADR wird die ersetzende redundante Wortleitung an Stelle der zu ersetzenden Wortleitung WLi aktiviert.

10

Wird eine der Referenzwortleitungen WLREF, /WLREF durch eine der redundanten Wortleitungen RWL1, RWL2 „repariert“, wird letztere vor jeder Aktivierung einer der Wortleitungen WLi zur Erzeugung des Referenzpotentials VREF auf den Bitleitungen an Stelle der zu ersetzenden Referenzwortleitung aktiviert.

15

Erfolgt über die Aktivierungseinheit AKT die Aktivierung einer der redundanten Wortleitungen RWL1, RWL2 (worauf noch anhand Figur 2 eingegangen wird), steuert die Aktivierungseinheit AKT die Steuereinheit CTR beziehungsweise den Zeilencoder RDEC über ein Steuersignal DAKT in einer Weise an, daß eine Aktivierung der zu ersetzenden Wortleitung WLi beziehungsweise Referenzwortleitung WLREF, /WLREF unterbleibt.

20

25

Je nachdem, ob durch die redundante Wortleitung eine der normalen Wortleitungen WLi oder eine der Referenzwortleitungen WLREF, /WLREF ersetzt wird, erfolgt eine Aktivierung der redundanten Wortleitung über die Aktivierungseinheit AKT mit dem der Figur 3 entnehmbaren Zeitverhalten. Hierdurch ist sichergestellt, daß die redundante Wortleitung im Falle des Ersetzens einer der Wortleitungen WLi erst nach Aktivierung der Referenzwortleitungen WLREF, /WLREF und der damit verbundenen Erzeugung des Referenzpotentials VREF aktiviert wird und daß die redundante Wortleitung im Falle des Ersetzens einer der Referenzwortleitungen WLREF, /WLREF bereits vor der Aktivie-

30

35

rung einer der Wortleitungen WLi aktiviert wird, so daß mit ihrer Hilfe das Referenzpotential VREF auf den Bitleitungen erzeugt wird.

- 5 Figur 2 zeigt den Aufbau der Aktivierungseinheit AKT aus Figur 1. Die Aktivierungseinheit AKT weist je redundanter Wortleitung RWL1, RWL2 die in Figur 2 gezeigten Komponenten auf. Dargestellt wurden nur die der ersten redundanten Wortleitung RWL1 zugeordneten Komponenten. Die Aktivierungseinheit AKT
- 10 weist einen ersten Multiplexer MUX1, einen zweiten Multiplexer MUX2, eine erste Teileinheit U1 sowie eine zweite Teileinheit U2 auf. Die erste Teileinheit U1 ist programmierbar, so daß festgelegt werden kann, ob die redundante Wortleitung RWL1 dem Ersetzen einer der Wortleitungen WLi oder einer der
- 15 Referenzwortleitungen WLREF, /WLREF dient. Die erste Teileinheit U1 steuert den Schaltzustand der Multiplexer MUX1, MUX2. Ersetzt die redundante Wortleitung RWL1 eine der normalen Wortleitungen WLi, sind Signale an ersten Eingängen IN1 der beiden Multiplexer MUX1, MUX2 maßgeblich für deren Ausgangssignale. Ersetzt dagegen die redundante Wortleitung RWL1 eine
- 20 der Referenzwortleitungen WLREF, /WLREF, sind Signale an zweiten Eingängen IN2 der beiden Multiplexer MUX1, MUX2 maßgeblich für die Ausgangssignale der Multiplexer.
- 25 Der erste Eingang IN1 des ersten Multiplexers MUX1 ist mit dem Ausgang eines Komparators CMP verbunden. Dessen einer Eingang ist mit programmierbaren Elementen F in Form von elektrischen Fuses verbunden, die zum Einstellen einer Adresse einer zu ersetzenden Wortleitung WLi dienen. Einem zweiten
- 30 Eingang des Komparators CMP werden Zeilenadressen RADR zugeführt. Stellt der Komparator CMP eine Übereinstimmung seiner beiden Eingangssignale fest, nimmt sein Ausgang einen hohen Pegel an. Der erste Multiplexer MUX1 führt dann eine Aktivierung der redundanten Wortleitung RWL1 durch, sobald er mit
- 35 einem Versorgungspotential VDD über einen Transistor T verbunden wird. Der Zeitpunkt des Leitendschaltens des Transistors T wird durch das Ausgangssignal des zweiten Multiple-

xers MUX2 bestimmt. Beim Ersetzen einer der Wortleitungen WL_i durch die redundante Wortleitung RWL₁ ist das Ausgangssignal einer ersten Zeiteinheit T₁, die mit dem ersten Eingang IN₁ des zweiten Multiplexers MUX2 verbunden ist, maßgeblich. Die
5 erste Zeiteinheit T₁ bewirkt ein Leitendschalten des Transistors T und damit eine Aktivierung des ersten Multiplexers MUX₁ durch das Verbinden mit dem Versorgungspotential VDD erst, nachdem das Referenzpotential VREF gemäß Figur 3 mittels der Referenzwortleitungen WLREF, /WLREF erzeugt worden
10 ist.

Der zweite Eingang IN2 des ersten Multiplexers MUX1 ist mit dem Versorgungspotential VDD verbunden. Der zweite Eingang IN2 des zweiten Multiplexers MUX2 ist mit einer zweiten Zeiteinheit T2 verbunden, die über den Transistor T eine Aktivierung des ersten Multiplexers MUX1 mit dem in Figur 3 gezeigten Zeitverhalten der Referenzwortleitungen WLREF, /WLREF bewirkt. Ersetzt die redundante Wortleitung RWL1 eine der Referenzwortleitung WLREF, /WLREF, erfolgt aufgrund des Versorgungspotentials VDD am zweiten Eingang IN2 des ersten Multiplexers MUX1 eine Aktivierung der redundanten Wortleitung RWL1, sobald der Transistor T in Abhängigkeit von der zweiten Zeiteinheit T2 leitend geschaltet worden ist.

Die erste Teileinheit U1 in Figur 2 dient außerdem zum Erzeugen des Steuersignals DAKT, in dessen Abhängigkeit der Zeilendecoder RDEC bzw. die Steuereinheit CTR aus Figur 1 in der Weise gesteuert werden, daß eine Aktivierung der jeweils durch die redundante Wortleitung RWL1 zu ersetzenden Wortleitung WLi bzw. Referenzwortleitung WLREF unterbleibt.



Patentansprüche

1. Integrierter Speicher

- mit Speicherzellen (MC), die in Kreuzungspunkten von Wort-
5 leitungen (WLi) und Bitleitungen (BLi, /BLi) angeordnet
sind,
- mit Referenzzellen (CREF), die in Kreuzungspunkten von we-
nigstens einer Referenzwortleitung (WLREF, /WLREF) und den
Bitleitungen (BLi, /BLi) angeordnet sind und die zur Er-
10 zeugung eines Referenzpotentials (VREF) auf den Bitleitun-
gen vor einem Zugriff auf eine der Speicherzellen (MC)
dienen,
- mit redundanten Speicherzellen (RC), die in Kreuzungspunk-
ten einer redundanten Wortleitung (RWL1, RWL2) und den
15 Bitleitungen (BLi, /BLi) angeordnet sind,
- und mit einer programmierbaren Aktivierungseinheit (AKT),
von deren Programmierzustand abhängt, ob die redundante
Wortleitung (RWL1, RWL2) mit den daran angeschlossenen
redundanten Speicherzellen (RC) während des Betriebs des
20 Speichers eine der Wortleitungen (WLi) mit den daran ange-
schlossenen Speicherzellen (MC) oder die Referenzwortlei-
tung (WLREF, /WLREF) mit den daran angeschlossenen Refer-
enzzellen (CREF) ersetzt.

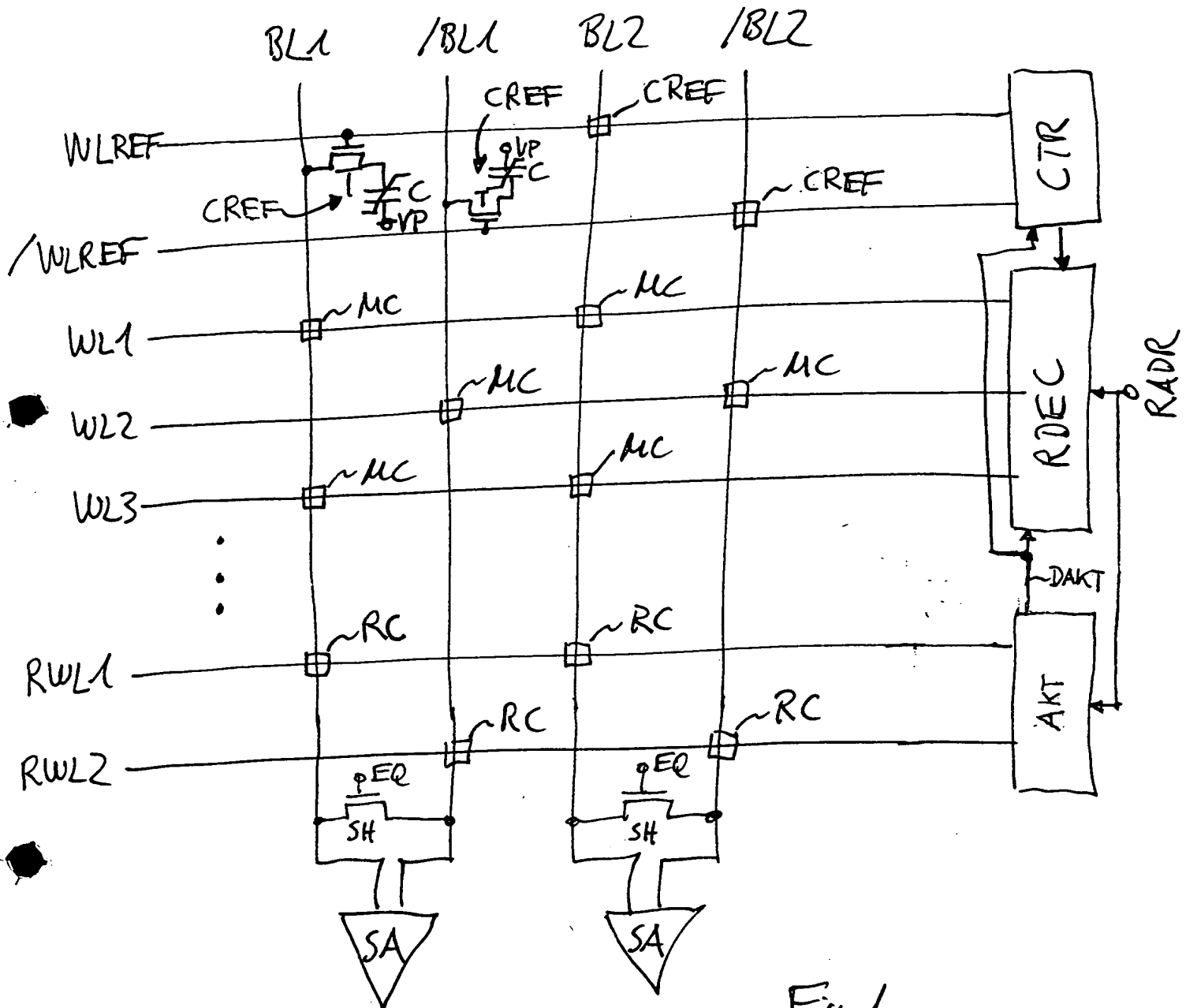
2. Integrierter Speicher nach Anspruch 1,

- dessen Aktivierungseinheit (AKT) eine erste Teileinheit
(U1) und eine zweite Teileinheit (U2) aufweist,
- dessen erste Teileinheit (U1) der Unterscheidung dient, ob
die redundante Wortleitung (RWL1, RWL2) während des Be-
30 triebs des Speichers eine der Wortleitungen (WLi) oder die
Referenzwortleitung (WLREF, /WLREF) ersetzt,
- und dessen zweite Teileinheit (U2) den Zeitpunkt der Akti-
vierung der redundanten Wortleitung (RWL1, RWL2) durch die
Aktivierungseinheit bestimmt, indem sie bei einem Zugriff
35 auf eine der Speicherzellen (MC)
- im Falle des Ersetzens der Referenzwortleitung (WLREF,
/WLREF) durch die redundante Wortleitung (RWL1, RWL2)

11

diese zur Erzeugung des Referenzpotentials (VREF) aktiviert, bevor eine Aktivierung einer der Wortleitungen (WLi) erfolgt,

- 5 - und im Falle des Ersetzens einer der Wortleitungen (WLi) durch die redundante Wortleitung (RWL1, RWL2) diese erst aktiviert, nachdem eine Aktivierung der Referenzwortleitung (WLREF, /WLREF) zur Erzeugung des Referenzpotentials (VREF) erfolgt ist.

Fig. 1

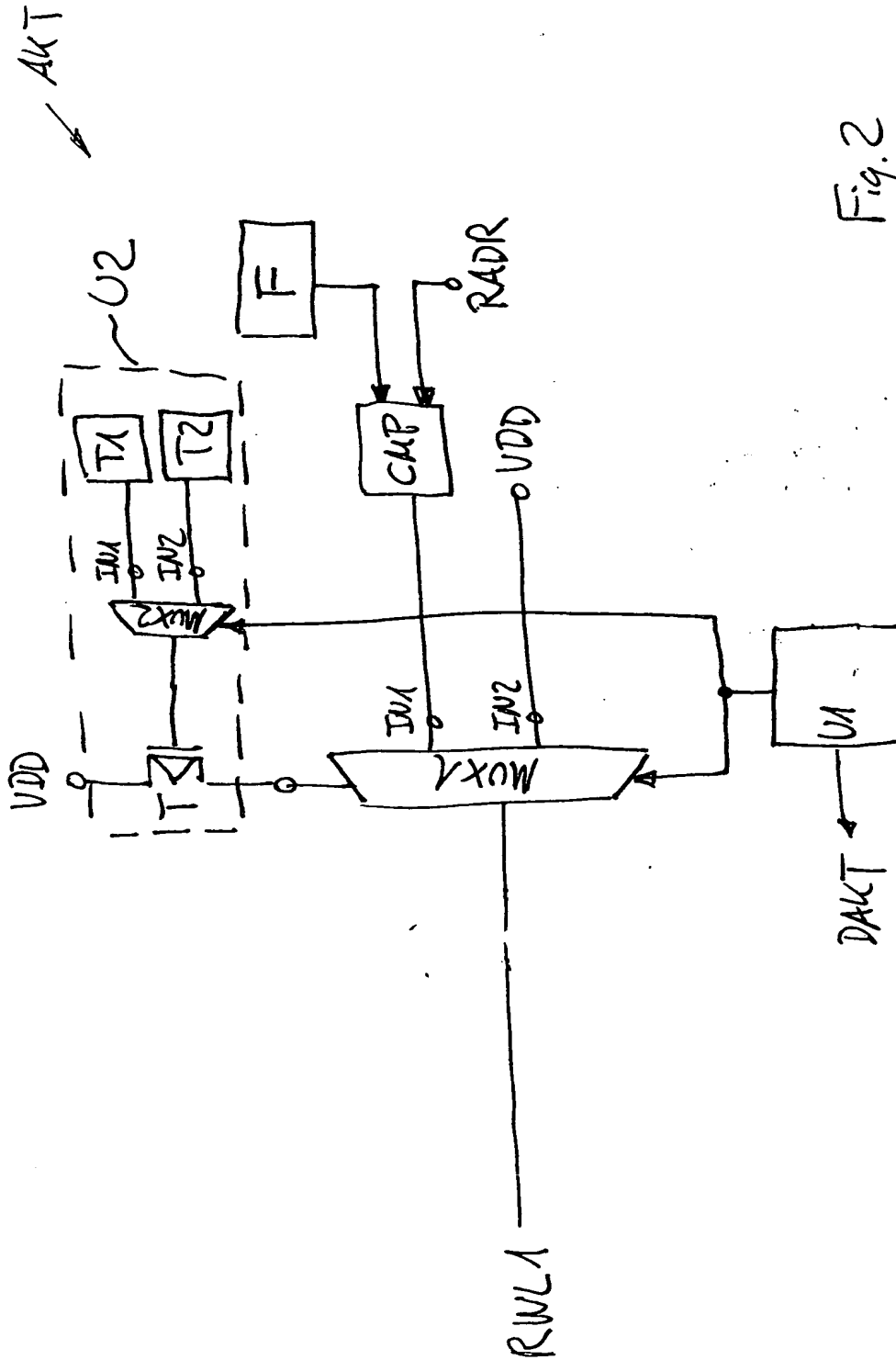
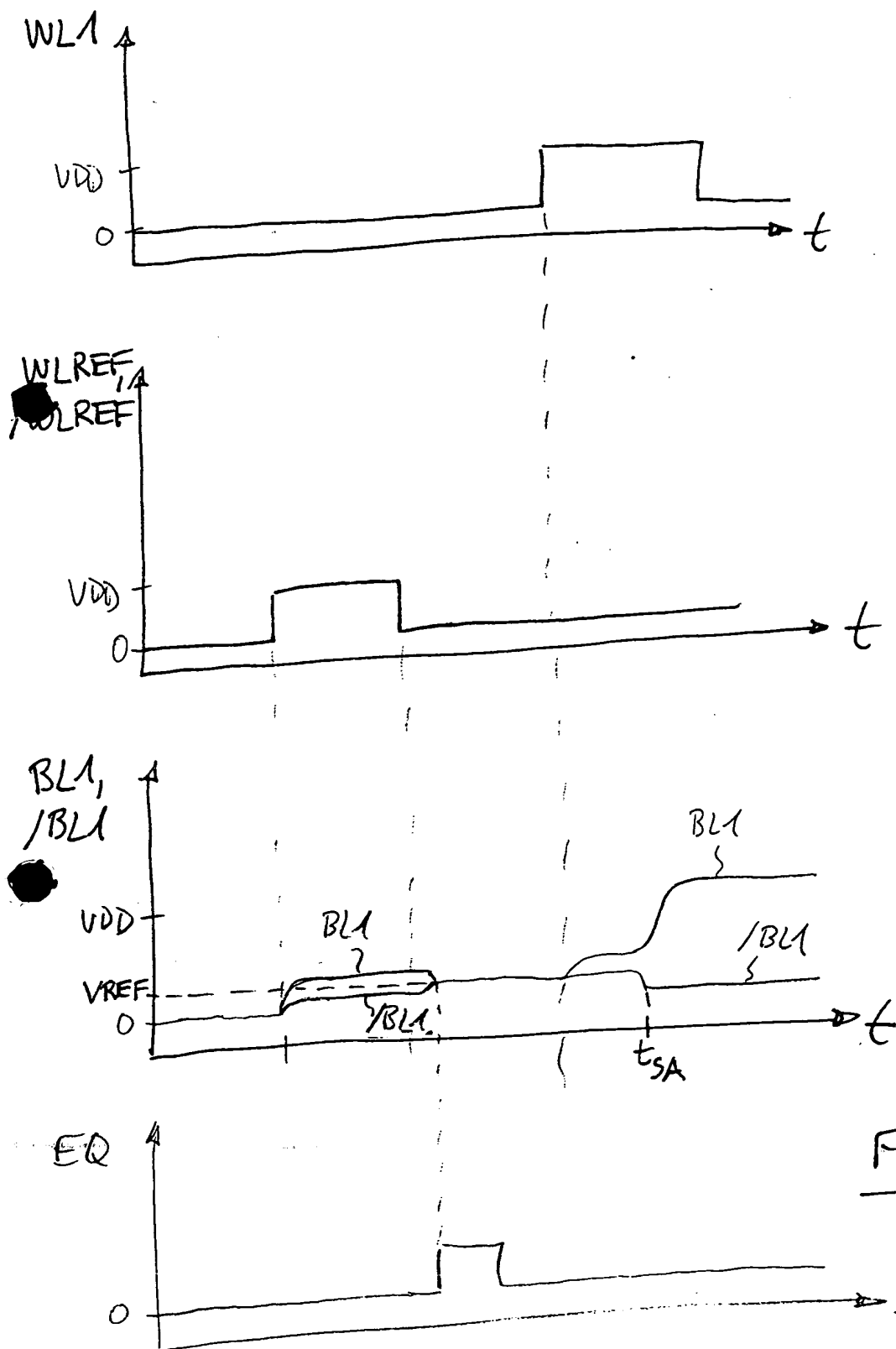


Fig. 2

Fig. 3